

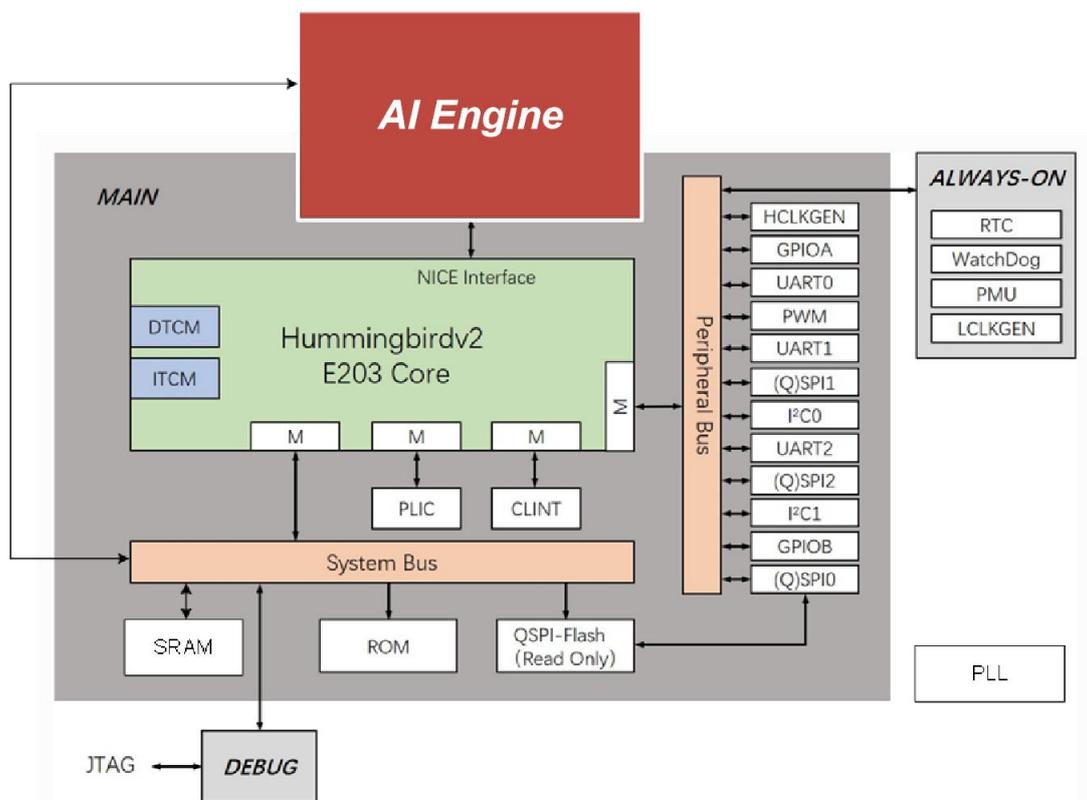
# 2024 年嵌入式竞赛-芯片设计赛道赛题指南

## 01 赛题简介

本赛题要求参赛队面向图像识别、视频识别、语音识别、图形识别、动作识别等应用，进行核心 AI Engine (AI 引擎) 模块的硬件设计，并基于组委会指定的芯片硬件框架：

- 1、完成集成该 AI Engine 的系统搭建与功能验证；
- 2、完成基于指定工艺库的综合和评估。
- 3、完成 AI Engine 模块的物理设计。

## 02 芯片硬件框架



图：指定芯片硬件框架图

本赛题，组委会指定的硬件框架如上图所示，包括：

- RISC-V MCU 以及相关的软件开发套件（本次竞赛采用芯来科技 E203 开源处理器），相关 MCU、SoC 框架、总线互联协议、IO 端口类型等，请参考 E203 开源处理器及 SoC 系统文档；
- 参赛队所设计的 AI Engine 模块既可以通过 System Bus 连接到 SoC 中，也可以通过 NICE Interface 直接与 MCU 连接；
- 系统中包括一个共享的 SRAM，容量为：512KB；
- 组委会基于 Memory Compiler 定制了多款 SRAM 存储模块，包括：16bits×128，16bits×1024，16bits×4096，均分别提供单端口和双端口两种规格；参赛队基于这些 SRAM 单元，自行组合实现 AI Engine 模块中所需的存储单元；
- SoC 中提供 PLL 模块，系统时钟频率固定为 150MHz；
- 外设总线上的常开模块(Always-on Domain)包括：RTC, WatchDog, PMU, LCLKGEN(为 Always-On Domain 提供时钟，频率为 32.768KHz)。

参赛队需要基于上述硬件框架，完成面向目标应用的芯片系统设计与实现，具体如下：

首先，完成 AI Engine 模块设计与实现；

其次，使用指定硬件框架以及所设计的核心功能 AI Engine 模块，完成芯片系统的搭建；注意，为确保芯片流片成功率，参赛队不可以修改组委会给定的硬件框架；

最后，基于所实现的芯片系统，完成功能仿真、电路综合和物理设计与实现。

### 03 参赛要求

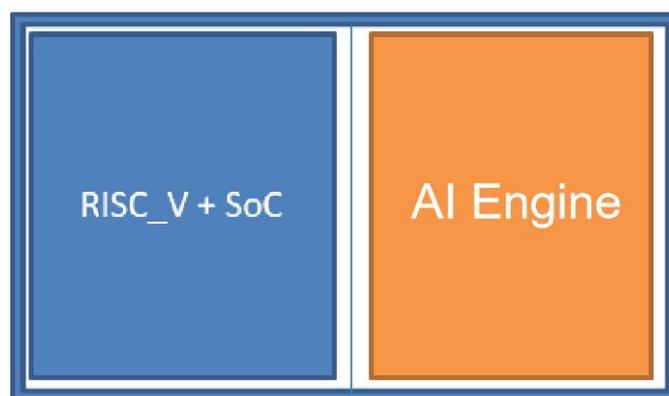
(1) 完成智能识别芯片的前端设计及后端设计的芯片全流程设计任务。

(2) 芯片的团队建议由 5~6 人组队（不超过 6 人），前端设计及后端设计工作需分别安排 2~3 人参与；

(3) 参赛团队需要负责所设计 AI Engine 模块的后端 PR；

(4) 整个硬件框架的物理设计布局由组委会协助完成，其中：参赛团队所设计的 AI Engine 模块在后端设计中会以 Blackbox 的形式留出，接口也提前预留好；AI Engine 模块的 Floorplan(示意图)如下图，左边是组委会提供的硬件框架部分（包括 RISC\_V 模块，SRAM 模块等），右边是参赛团队自行设计完成的 AI Engine 模块；AI Engine 的面积不超过  $1.5 \times 1.5 \text{mm}^2$ ；

(5) 为确保流片的成功率，本次竞赛必须采用组委会指定的基于 RISC\_V 的硬件框架，不允许参赛团队选用自己提供的 MCU。硬件框架部分由组委会提前完成物理设计，再提供给各参赛团队，各参赛团队不能对硬件框架物理设计进行更改。



智能识别芯片含 AI Engine 模块的 Floorplan 示意图

## 04 赛题说明

### 1、面向智能识别的 AI Engine 设计与应用系统开发

（简称：嵌入式系统芯片设计）

#### ——赛题方向：AI 智能识别芯片设计

AI 智能识别系统是一种日益蓬勃发展的人机交互接口，广泛应用于可穿戴设备、物联网器件以及其他基于电池供电的智能终端。由于面向图形图像、视频语音、动作姿态等智能识别的神经网络算法模型复杂多变，传统的计算架构和电路已无法满足面向低功耗高效智能识别神经网络计算日益增长的硬件能效需求。随着智能终端市场规模进一步发展，专门用于低功耗智能识别处理的硬件模块和设备开始陆续亮相。智能识别交互生态的成熟，将会带动越来越多的设备智能化。汽车、电视、智能音箱（家庭机器人的雏形）、服务机器人等产品潜在用户数巨大，交互内容相对开放，交互过程中会产生大量高价值的用户数据，是国家和高科技企业未来争夺的重要阵地。本赛题旨在通

过面向新一代智能识别的 AI Engine 硬件设计和系统开发研究，进一步提高我国大学生在智能芯片领域的设计能力、增加技术储备。

**本赛题的主要需求（包括但不限于）：**

**面向群体：研究生**

- 1、基于组委会指定的芯片硬件框架，开发面向“智能识别”应用的核心 AI Engine 硬件、并完成该 AI Engine 在指定硬件框架中的集成与系统开发。
- 2、本次竞赛采用基于芯来科技 E203 开源处理器的硬件框架，相关 MCU、SoC 框架、总线互联协议、IO 端口类型等，请参考相关文档资料。参赛队所设计的 AI Engine 模块既可以通过 System Bus 连接到 SoC 中，也可以通过 NICE Interface 直接与 MCU 连接；系统中包括一个共享的 SRAM，容量为：512KB；组委会基于 Memory Compiler 定制了多款 SRAM 存储模块，包括：16bits×128，16bits×1024，16bits×4096，均分别提供单端口和双端口两种规格；参赛队基于这些 SRAM 单元，自行组合实现 AI Engine 模块中所需的存储单元；SoC 中提供 PLL 模块，系统时钟频率固定为 150MHz；外设总线上的常开模块（Always-on Domain）包括：RTC，WatchDog，PMU，LCLKGEN（为常开模块提供时钟，频率为 32.768KHz）。
- 3、智能识别应用包括但不限于：图像识别、图形识别、视频识别、语音识别、动作识别等。

- 4、对于所选择的智能识别应用，其测试库需为开源数据库，或者可以第三方获取并独立验证的数据库。
- 5、需完成面向智能识别应用的核心 AI Engine 设计，需要完成目标应用的核心功能：AI Engine 设计文档、算法或功能验证模型、基于 HDL（推荐 Verilog）的 RTL 功能模型、基于指定工艺库的综合网表 Netlist、综合后的时序/资源/功耗等参数报告与分析。
- 6、需基于指定的芯片硬件框架，完成集成 5) 所设计 AI Engine 的 SoC 系统开发，包括：RTL 功能模型、基于指定工艺库的综合网表 Netlist、综合后的时序/资源/功耗等参数报告与分析。
- 7、上述完成的 AI Engine 设计和系统开发，需结合实际的应用场景，对 AI Engine 的硬件架构和电路设计方案，进行分析和评估，在以下一个或多个指标上进行优化设计，包括但不限于：性能、功耗、能效、吞吐率、识别精度、场景适配能力、系统灵活性等。
- 8、完成所设计 AI Engine 模块的后端物理设计与实现。

**组委会鼓励方向（完成以下方向，组委会额外着重考虑）：**

- 1、方向 1：**完成上述 6) 所开发系统的 FPGA 功能验证，并具有一定的可展示性。
- 2、方向 2：**采用国产 EDA 工具，完成上述 5) AI Engine 模块或上述 6) 系统开发中的部分设计仿真、综合评估、物理设计等工作。
- 3、方向 3：**基于 LLM 等 AI 模型，完成关键模块的设计与实现，并给出设计与分析报告。

## 面向群体：本科生

赛题要求与研究生组基本相同，不同点在于：

- 1、可以选择相对简单的智能识别应用，例如：手写数字识别，等；
- 2、研究生组赛题要求中的第 7 小项（结合实际应用场景的性能/功耗等设计指标优化评估），不作为必选要求。

## 05 技术支持

### （一）赛事答疑

- 1、QQ 交流群，群号：264443932。



扫码入群

基于本赛道问题，采用集中时间答疑方式，具体答疑时间另行公布。

### （二）技术培训

- 1、本芯片设计赛道，会安排相关培训与指导，请关注竞赛官网或者竞赛公众号相关通知。

竞赛官网：<http://www.socchina.net/>

竞赛公众号：嵌入式芯片与系统设计竞赛



扫码关注

## 06 其他

本赛道其它未尽事宜，以组委会后续补充通知为准。

## 07 联系我们

### 竞赛组委会

芯片设计赛道学生 QQ 交流群：264443932

联系人 1：李老师

电 话：18913902212

电子邮箱：lihuilan@nicu.cn

联系人 2：汪老师

电 话：13901584204

电子邮箱：wangchen1@icisc.cn

全国大学生嵌入式芯片与系统设计竞赛



组织委员会

2024年7月17日